

BEST AVAILABLE COPY

(54) SEMICONDUCTOR MEMORY DEVICE

(11) 3-187263 (A) (43) 15.8.1991 (19) JP

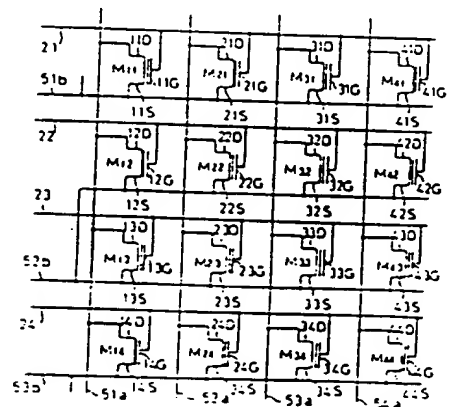
(21) Appl. No. 64-326257 (22) 16.12.1989

(71) MITSUBISHI ELECTRIC CORP (72) HAJIME ARAI

(51) Int. Cl. H01L27/115, G11C16/02, G11C16/04, H01L29/788, H01L29/792

**PURPOSE:** To prevent writing failure and read failure due to leakage current by providing source lines of memory cells so as to run perpendicularly to bit lines and by selecting transmission source lines as well as bit lines and word lines in accordance with selection bits.

**CONSTITUTION:** Selection of bit lines 51a-54a, word lines 21-24, and source lines 51b-53b in accordance with selection bits allows selection of memory transistors M11-M41, M12-M42, M13-M43, and M14-M44 equivalent to selection bits. At this time memory transistors of nonselection bits reject potential differences in their sources and drains, so that leakage current can be inhibited from flowing through the source-drains of memory transistors of nonselection bits. This process can prevent writing failure and read failure due to leakage current.



## ⑫ 公開特許公報(A) 平3-187263

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月15日

H 01 L 27/115  
G 11 C 16/02  
16/04  
H 01 L 29/788  
29/792

8831-5F H 01 L 27/10 4 3 4  
7514-5F 29/78 3 7 1  
7131-5B G 11 C 17/00 3 0 7 D

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 半導体メモリ装置

⑯ 特 願 平1-326257

⑰ 出 願 平1(1989)12月16日

⑱ 発 明 者 新 井 肇 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1 発明の名称

半導体メモリ装置

## 2 特許請求の範囲

(1) 半導体基板上に複数行、複数列にマトリックス状に形成され、それぞれがメモリトランジスタを具備した複数のメモリセルと、上記半導体基板上に絶縁膜を介して行をなして形成され、対応する列に配設されたメモリトランジスタのドレインが接続された複数のビットラインと、上記半導体基板上に絶縁膜を介して行をなして形成され、対応する行に配設されたメモリトランジスタの制御電極が接続された複数のワードラインと、上記ビットラインに直交して配設され、おのおのが近接した行に配設されたメモリトランジスタのソースに接続され、ビットの選択時に選択用の制御電位が印加されるソースラインとからなる半導体メモリ装置。

## 3 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体メモリ装置、特に半導体ROM (Read Only Memory)に関するものである。

(従来の技術)

第3図は基板上に形成された従来の半導体メモリ、例えばEPROM (Erasable and Programmable ROM)のメモリセルアレイの平面図であり、第4図は第3図のEPROMのメモリセルアレイを回路図の形で示した図である。第3図および第4図において、(1)は分門酸化膜、(21)、(22)……は半導体基板上に絶縁膜を介して行をなして形成され、対応する行に配設されたメモリセルを構成するメモリトランジスタ(M11)～(M41)、(M12)～(M42)、(M13)～(M43)、(M14)～(M44)の各コントロールゲート(11G)～(41G)、(12G)～(42G)、(13G)～(43G)、(14G)～(44G)、……に接続されたワードライン、(3)、(3)……はメモリトランジスタのフローティングゲート、(4a)、(4a)……は各メモリトランジスタのドレインに接続するためのドレインコンタクト、(4b)、(4b)……は同じ列上にあるメモリトランジスタのソース(11S)～(14S)、

(21S) ~ (24S), (31S) ~ (34S), (41S) ~ (44S)

をそれぞれ共通に接続するためのソースコンタクト、(51a), (52a)……は半導体基板上に絶縁膜を介して列状に配設されたアルミ配線ビットラインで、各列において上記ドレインコンタクト(4a)を経て各メモリトランジスタのドレイン(110) ~ (140), (210) ~ (240), (310) ~ (340), (410) ~ (440)にそれぞれ接続されている。(5b)はメモリセルアレイのワードライン(21), (22)……と直交する方向に半導体基板上の端部に絶縁膜を介して形成されたアルミ配線ソースラインで、上記ソースコンタクト(4b)を経て上記半導体基板上に列をなして形成された絶縁膜を介して各メモリトランジスタのソース領域に接続されている。

第3図のEPROMのメモリセルアレイを回路図の形で示した第4図において、例えばメモリトランジスタ(M32)に書き込みを行なう場合について説明する。メモリトランジスタ(M32)のドレイ(32D)が接続されたビットライン(53a)に電圧 $V_{DD}$  (例えば1MビットのEPROMの場合、7~9V)を印

ライン(53a)をそれぞれ流れる電流値を比較する。そして、ビットライン(53a)を流れる電流がリファレンスビットラインを流れる電流よりも小であれば、プログラム状態(データが書き込まれた状態)と判定し、ビットライン(53a)を流れる電流がリファレンスビットラインを流れる電流と同程度であれば、ブランク状態と判定する。

(発明が解決しようとする課題)

従来のEPROMメモリセルアレイは上記のように構成されているため、選択ビットのメモリトランジスタ(M32)のソース(32D)が接続されたビットライン(53a)にドレインが接続された同じ列中の他のメモリトランジスタ(M31), (M33), (M34)……及び上記選択ビットのメモリトランジスタ(M32)のコントロールゲート(32G)が接続されたワードライン(22)にコントロールゲートが接続された同じ行中の他のメモリトランジスタ(M12), (M22), (M42)……には、書き込み時には $V_{DD}$ ,  $V_{DD}$ が、読出し時には $V_0$ ,  $V_{DD}$ がそれぞれ印加されることになる。

加し、メモリトランジスタ(M32)のゲート(32G)が接続されたワードライン(22)に所定の幅1pのバルス電圧 $V_{pp}$  (1MビットのEPROMの場合、約12.5V)を印加して、上記メモリトランジスタ(M32)に書き込みを行なう。この場合、各列中のメモリトランジスタのソース(11S) ~ (14S), (21S) ~ (24S), (31S) ~ (34S), (41S) ~ (44S)はソースライン(5b)に共通接続されて接地されている。また、非選択ビットライン(51a), (52a), (54a)……はオープンまたは接地されており、非選択ワードライン(21), (23), (24)……は接地されている。メモリトランジスタ(M32)のゲートにバルス幅1pのバルス電圧が印加されると、第5図に示すようにその閾値電圧 $V_{th}$ は初期値の $V_{th0}$ から書き込み時の $V_{th1}$ に上昇し、該メモリトランジスタ(M32)は書き込まれた状態になる。

読出しを行なう場合は、ビットライン(53a)に約1Vの電圧 $V_0$ を印加し、ワードライン(22)に約5Vの電圧 $V_{DD}$ を印加し、リファレンスビット(常にブランク状態にある)ラインと上記ビット

ところで、近年、メモリセルアレイが益々微細化されるにつれて、各メモリトランジスタのゲート長のはらつきに起因する初期閾値電圧 $V_{th0}$ 、ソース・ドレイン間耐圧 $BV_{DS}$ の調整または制御が困難になっており、ドレインに印加される電圧により非選択ビットのメモリトランジスタ(M31), (M33), (M34)……にも、そのソース・ドレインを経てかなりの大きさのソース電流が流れることがある。

第6図は非選択ビットのメモリトランジスタを(10)で概念的に示し、その各部の状態を示す図である。同図で、 $C_1$ はコントロールゲート(12)とフローティングゲート(13)との間の容量、 $C_2$ はフローティングゲート(13)とチャンネルとの間の容量、 $C_3$ はフローティングゲート(13)とドレイン(5)との間の容量を表わす。同図からも明らかに、非選択ビットのメモリトランジスタではコントロールゲート(12)はワードライン(2)により接地されており( $V_0 = 0$ )、ソース領域(7)もソースライン(5b)を経て接地されている。

フローティングゲート(13)の電位はビットライン(5a)を介してドレイン領域(6)に印加される電圧 $V_{DD}$ により浮き上がり、その電圧 $V_{FG}$ は次式によって表わされる値になる。

$$V_{FG} = \frac{C_1}{C_1 + C_2 + C_3} V_{DD} + \frac{C_2}{C_1 + C_2 + C_3} V_{DD} \\ = \frac{C_2}{C_1 + C_2 + C_3} V_{DD}$$

このため、ソースードレイン間の電圧が $V_{DD}$ 以上であってもリーク電流が流れる可能性がある。また、上記容量 $C_2$ は、メモリアレイセルの微細化に伴って半導体基板上に形成される絶縁膜の厚みが薄くなって、相対的に大きくなり、リーク電流も大きくなる傾向がある。

上記のように、非選択ビットのメモリトランジスタに電流が流れると、読み込み時にはドレイン電圧 $V_{DD}$ の低下を招き、読み込み速度の低下、読み込み量の低下が生じる。電流の供給能力が大きく、電圧低下が生じない場合でも、例えば、1MビットレベルのEPROMでは、同一ビットラインに数百個乃至数千個のメモリトランジスタが接続されて

この発明による半導体メモリ装置は、半導体基板上に複数行、複数列にマトリックス状に形成され、それぞれがメモリトランジスタを具えた複数のメモリセルと、上記半導体基板上に絶縁膜を介して列をなして形成され、対応する列に配設されたメモリトランジスタのドレインが接続された複数のビットラインと、上記半導体基板上に絶縁膜を介して行をなして形成され、対応する行に配設されたメモリトランジスタの制御電極が接続された複数のワードラインと、上記ビットラインに直交して配設され、おのおのが近接した行に配設されたメモリトランジスタのソースに接続され、ビットの選択時に選択用の制御電位が印加されるソースラインとを具備している。

#### (作用)

この発明の半導体メモリ装置においては、選択ビットに対応するビットライン、ワードライン及びソースラインを選択することにより、上記選択ビットに相当するメモリトランジスタを選択する。このとき、非選択ビットのメモリトランジスタ

いるため、各メモリトランジスタのリーク電流が数 $\mu A$ のレベルであっても、全体で数mAの電流が流れることになる。このため、セレクトトランジスタの容量を大きくする必要があり、微細化の傾向に逆行することになる。また、読出し時に、非選択ビットのメモリトランジスタにリーク電流が流れると、選択ビットのメモリトランジスタがプログラム状態で電流が流れないように設定されている場合も、非選択ビットに流れる電流のために判定を誤り、ブランク状態と読んでしまう可能性がある。

この発明は上記のような従来の半導体メモリの欠点を解消することを目的としたもので、非選択ビットのメモリトランジスタにおける電流リークを抑え、読出し、書き込みを正確に行なうことのできるEPROM、EEPROM (Electrically Erasable and Programmable Read Only Memory)、またはマスクROMを含んだ半導体メモリ装置を得ることを目的とする。

#### (課題を解決するための手段)

タについては、そのソースードレイン間に電位差が生じないので、非選択ビットのメモリトランジスタのソースードレイン間にリーク電流が流れるのを抑えることができ、それによって読み込み不良、読出し不良の発生を防止する。

#### (実施例)

以下、この発明の半導体メモリ装置を第1図および第2図を参照して説明する。第1図は基板上に形成されたこの発明の半導体メモリ装置のメモリセルアレイの平面図であり、第2図は第1図のメモリセルアレイを回路図の形で示した図である。第1図および第2図において、(1)は分離酸化膜、(21)、(22)・・・は半導体基板上に絶縁膜を介して行をなして形成され、対応する行に配設されたメモリセルを構成するメモリトランジスタ(M11)～(M41)、(M12)～(M42)、(M13)～(M43)、(M14)～(M44)の各コントロールゲート(11G)～(41G)、(12G)～(42G)、(13G)～(43G)、(14G)～(44G)、・・・に接続されたワードライン、(3)、(3)・・・はメモリトランジスタのフローティン

グゲート、(4a)、(4a)・・・は各メモリトランジスタのドレインに接続するためのドレインコンタクト、(4b)、(4b)・・・は同じ行上にあるメモリトランジスタのソース(11S)～(41S)、(12S)～(42S)、(13S)～(43S)、(14S)～(44S)を共通に接続するためのソースコンタクト、(51a)、(52a)・・・は半導体基板上に絶縁膜を介して列状に配設されたアルミ配線ビットラインで、各列において上記ドレインコンタクト(4a)を経て各メモリトランジスタのドレイン(11D)～(14D)、(21D)～(24D)、(31D)～(34D)、(41D)～(44D)に接続されている。(51b)、(52b)・・・は半導体基板上に絶縁膜を介して形成され、上記ワードライン(21)、(22)・・・と並列に配設された2層アルミ配線ソースラインを構成する導体層で、上記ビットライン(51a)、(52a)・・・と直交するように、且つ隣接した行に配設された各メモリトランジスタの共通ソース領域上に配設されている。これらの導体層(51b)、(52b)・・・は隣接した一対の行に配設されたメモリトランジスタのソース領域に直接または下層配

線より前記ソースコンタクト(4b)、(4b)・・・を経て接続されている。

第2図のメモリセルアレイの回路図において、例えばメモリトランジスタ(M32)に書き込みを行なう場合は、該メモリトランジスタ(M32)が含まれる列中の各メモリトランジスタのドレイン(31D)～(34D)・・・が接続されたビットライン(53a)に例えば7～9Vの電圧 $V_{pp}$ を印加し、同じく上記メモリトランジスタ(M32)が含まれる行中の各メモリトランジスタのコントロールゲート(12G)～(42G)・・・が接続されたワードライン(22)に例えば約12.5Vのバルス電圧 $V_{pp}$ を印加し、さらに上記メモリトランジスタ(M32)が含まれる行およびこの行に隣接する行中に含まれるメモリトランジスタ(M12)～(M42)、(M13)～(M43)のソース(12S)～(42S)、(13S)～(43S)が接続されたソースライン(52b)を接地する。その他のビットライン、すなわち非選択ビットライン(51a)、(52a)、(54a)・・・及び非選択ソースライン(51b)、(53b)・・・については、すべて電圧 $V_{cc}$ を印加するか、

あるいは上記非選択ソースラインをオープン、非選択ビットラインを接地またはオープンにする。また、非選択ワードライン(21)、(23)、(24)・・・はすべて接地する。

上記の書き込み状態では、選択されたメモリトランジスタ(M32)と同じ列中において、ソースが共通のソースライン(52b)に接続された隣接するメモリトランジスタ(M33)のソース-ドレイン間には前記7～9Vの電圧 $V_{pp}$ が印加されるが、それ以外のメモリトランジスタのソース、ドレインが接続されるビットライン(51a)、(52a)、(54a)とソースライン(51b)、(53b)には同じ電位が印加されるから、上記メモリトランジスタ(M32)と(M33)以外のメモリトランジスタのソース-ドレイン間には電位差が生じない。従って、仮にリーク電流が流れるとしても、それは上記メモリトランジスタ(M33)のリーク電流のみで、これは真的には極く僅かであり、書き込み動作に影響を及ぼす心配は全くない。

メモリトランジスタ(M32)の読出し時も同様

に、該メモリトランジスタ(M32)のドレイン(32D)が接続されたビットライン(53a)に例えば約1Vの電圧 $V_{cc}$ を印加し、コントロールゲート(32G)が接続されたワードライン(22)に例えば約5Vの電圧 $V_{cc}$ を印加し、ソース(32S)が接続されたソースライン(52b)を接地する。ここで、リファレンスビット(常にブランク状態にある)ラインと上記ビットライン(53a)を流れる電流とを比較し、従来と同様にビットライン(53a)を流れる電流がリファレンスラインを流れる電流よりも小であれば、プログラム状態(データが書き込まれた状態)と判定し、ビットライン(53a)を流れる電流がリファレンスラインを流れる電流と同程度であれば、ブランク状態と判定する。

この読出し時も非選択ビットライン(51a)、(52a)、(54a)および非選択ソースライン(51b)、(53b)についてはすべて電圧 $V_{cc}$ を印加するか、あるいは上記非選択ソースラインをオープン、非選択ビットラインを接地またはオープンにする。また、非選択ワードライン(21)、(23)・・・はすべて

接合する。従って、この状態では、前述の書き込み時と同様の理由により、上記読出しメモリトランジスタ(M32)以外のトランジスタでソースードレイン間に電位差が生ずるのは上記読出しメモリトランジスタ(M32)と同じ列中において、ソースが共通のソースライン(52b)に接続されたメモリトランジスタ(M33)のみであるから、仮にリーク電流が流れたとしてもその量は極く僅かであり、読出しの誤りが生じる可能性は全くない。

この発明を図示の実施例のEPROMについて説明したが、この発明を通常のNOR型マスクROM、NOR型EEPROMに適用しても、メモリトランジスタの選択時にソースードレイン間に電位差が生ずる非選択メモリトランジスタの数が減少するので、選択時のリーク電流を著しく減少させることが出来るという前述と同様の効果を得られる。

#### (発明の効果)

以上のように、この発明によればROMのメモリセルのソースラインをビットラインと直交するように設け、選択ビットに対応してビットライン、

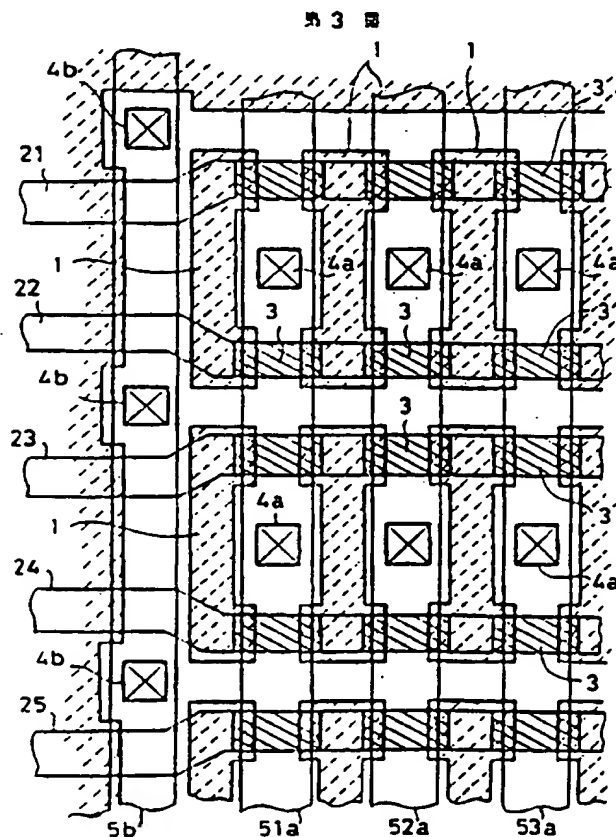
ワードラインと同様に上記ソースラインも選択するように構成したので、所定のメモリトランジスタの選択時に、非選択ビットのメモリトランジスタのソースードレイン間には実質的に電圧がかからず、従って、非選択ビットのメモリトランジスタのリーク電流は実質的に存在しないと看做せる程度に極めて少なくなり、リーク電流による書き込み不良、読出し不良の発生を完全に防止することができる。

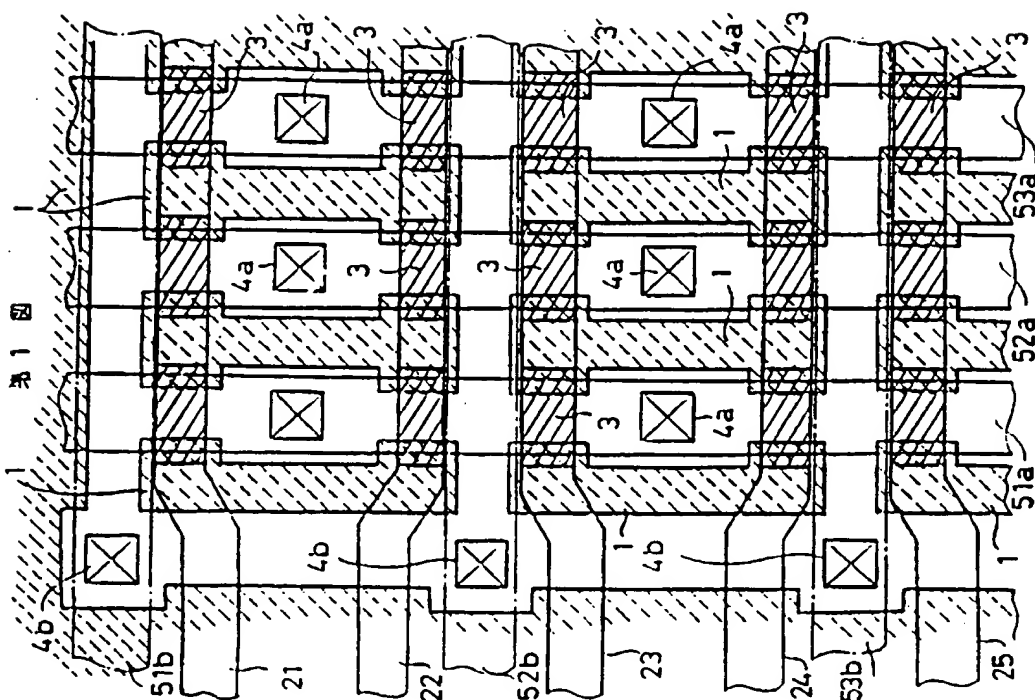
#### 4 図面の簡単な説明

第1図は基板上に形成されたこの発明の一実施例によるROMメモリセルアレイ構成を示す平面図、第2図は第1図のROMメモリセルアレイ構成を回路図の形で示した図、第3図は基板上に形成された従来のROMメモリセルアレイ構成を示す平面図、第4図は第3図のROMメモリセルアレイ構成を回路図の形で示した図、第5図は一般にEPROMにおけるメモリトランジスタの書き込み特性を示す図、第6図はEPROMにおけるメモリトランジスタの電極間容量とその作用を説明する図である。

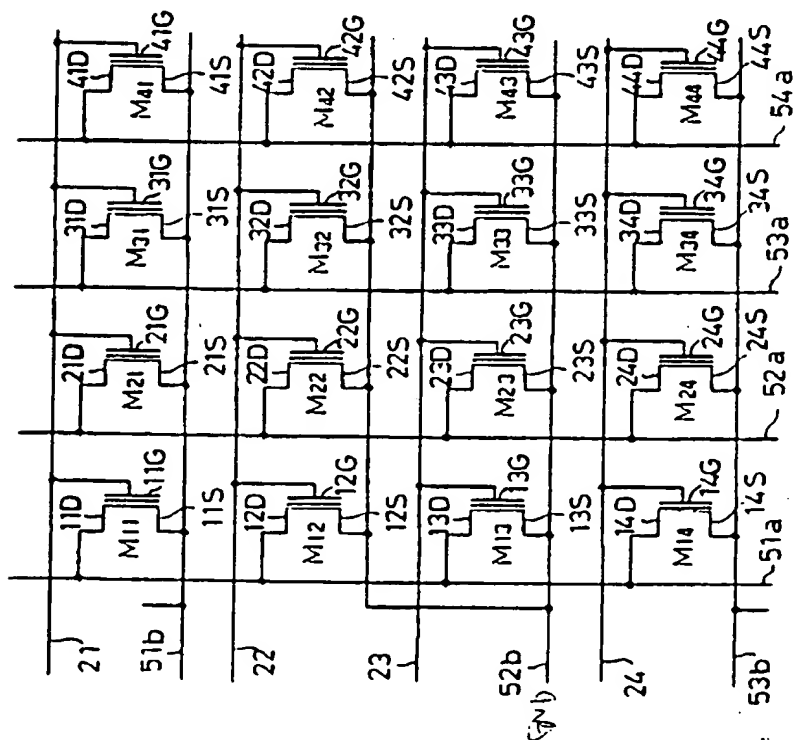
(21)～(24)……ワードライン、(51a)～(54a)……ビットライン、(51b)～(53b)……ソースライン、(M11)～(M41)、(M12)～(M42)、(M13)～(M43)、(M14)～(M44)……メモリトランジスタ、(11G)～(41G)、(12G)～(42G)、(13G)～(43G)、(14G)～(44G)……間隔電極、(11S)～(41S)、(12S)～(42S)、(13S)～(43S)、(14S)～(44S)……ソース、(11D)～(41D)、(12D)～(42D)、(13D)～(43D)、(14D)～(44D)……ドレイン。

代理人 大 岩 用 隆





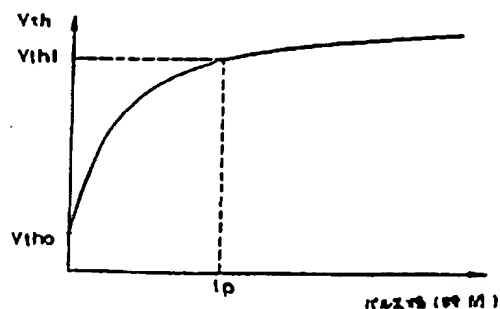
第 2 図



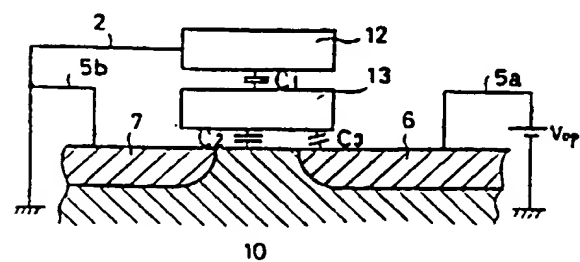
M11, M12, M21, M22, M31, M32, M41, M42

11G, 12G, 21G, 22G, 31G, 32G, 41G, 42G  
11D, 12D, 21D, 22D, 31D, 32D, 41D, 42D  
11S, 12S, 21S, 22S, 31S, 32S, 41S, 42S

第 5 図

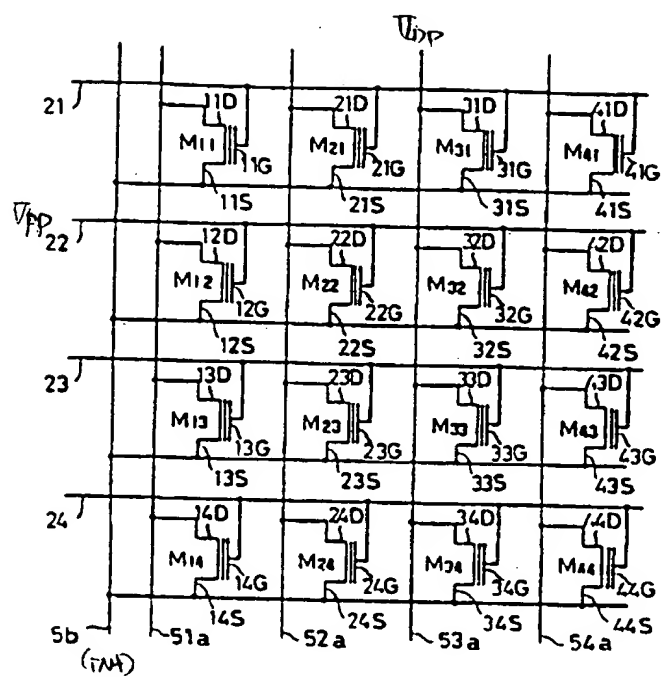


第 6 図



- 2: 7-194N
- 5a: 7-194N
- 5b: 7-194N
- 6: 7-194N
- 7: 7-194N
- 12: 7-194N
- 13: 7-194N

第 4 図



5b: 7-194N



This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox**